

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP05/003302

International filing date: 28 February 2005 (28.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-160631  
Filing date: 31 May 2004 (31.05.2004)

Date of receipt at the International Bureau: 16 June 2005 (16.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

20.05.2005

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日 2004年 5月31日  
Date of Application:

出願番号 特願2004-160631  
Application Number:

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

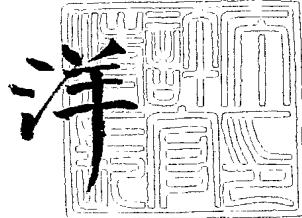
J P 2 0 0 4 - 1 6 0 6 3 1

出願人 東京エレクトロン株式会社  
Applicant(s):

2005年 4月14日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



出証番号 出証特2005-3033708

**【書類名】** 特許願  
**【整理番号】** JPP040014  
**【提出日】** 平成16年 5月31日  
**【あて先】** 特許庁長官殿  
**【国際特許分類】** G01L 9/12  
**【発明者】**  
**【住所又は居所】** 東京都港区赤坂五丁目 3番 6号 TBS放送センター 東京エレクトロン株式会社内  
**【氏名】** 加川 健一  
**【発明者】**  
**【住所又は居所】** 東京都港区赤坂五丁目 3番 6号 TBS放送センター 東京エレクトロン株式会社内  
**【氏名】** 八壁 正巳  
**【特許出願人】**  
**【識別番号】** 000219967  
**【住所又は居所】** 東京都港区赤坂五丁目 3番 6号  
**【氏名又は名称】** 東京エレクトロン株式会社  
**【代理人】**  
**【識別番号】** 100091409  
**【弁理士】**  
**【氏名又は名称】** 伊藤 英彦  
**【電話番号】** 06-6120-5210  
**【連絡先】** 担当  
**【選任した代理人】**  
**【識別番号】** 100096792  
**【弁理士】**  
**【氏名又は名称】** 森下 八郎  
**【電話番号】** 06-6120-5210  
**【選任した代理人】**  
**【識別番号】** 100091395  
**【弁理士】**  
**【氏名又は名称】** 吉田 博由  
**【電話番号】** 06-6120-5210  
**【先の出願に基づく優先権主張】**  
**【出願番号】** 特願2004- 54711  
**【出願日】** 平成16年 2月27日  
**【手数料の表示】**  
**【予納台帳番号】** 184171  
**【納付金額】** 16,000円  
**【提出物件の目録】**  
**【物件名】** 特許請求の範囲 1  
**【物件名】** 明細書 1  
**【物件名】** 図面 1  
**【物件名】** 要約書 1  
**【包括委任状番号】** 0309403

**【書類名】特許請求の範囲****【請求項1】**

ダイシングによって個々のチップに分割された半導体装置であって、  
ダイシングラインに沿う辺を有する基板と、  
前記基板上に形成された半導体素子と、  
前記半導体素子と前記辺との間に位置する前記基板上に形成された突堤部と、  
前記半導体素子上に形成され、前記突堤部の最外壁面よりも内側に形成される信号入出  
力のための入出力用電極パッドとを備える、半導体装置。

**【請求項2】**

前記突堤部は、前記辺に対して平行に連続的に延びている、請求項1に記載の半導体裝  
置。

**【請求項3】**

前記突堤部は、前記半導体素子の周囲を取り囲むように形成されている、請求項1または  
2に記載の半導体装置。

**【請求項4】**

前記半導体素子は、絶縁層と、その上に形成される導電層とを含み、  
前記突堤部は、絶縁層と、その上に形成される導電層とを含み、  
前記半導体素子の絶縁層と前記突堤部の絶縁層とは、同一プロセスで形成され、  
前記半導体素子の導電層と前記突堤部の導電層とは、同一プロセスで形成される、請求  
項1ないし3のいずれかに記載の半導体装置。

**【請求項5】**

前記入出力用電極パッドは前記半導体素子の導電層上に形成され、  
さらに、前記突堤部の導電層上であってその最外壁面よりも内側に形成され、前記入出  
力用電極パッドに電気的に接続されて前記突堤部の導電層と前記半導体素子の導電層との  
電位差をゼロに近付ける突堤部用電極パッドを含む、請求項4に記載の半導体装置。

**【請求項6】**

基板と、  
前記基板との間に間隙を形成するように固定部によって支持された構造体と、  
前記固定部によって支持されていない構造体の部分と、前記基板の外縁との間に位置す  
る基板上に形成された突堤部とを備える、半導体装置。

**【請求項7】**

前記突堤部は、前記構造体の周囲を取り囲むように複数形成されている、請求項6に記  
載の半導体装置。

**【請求項8】**

前記構造体上に形成され、前記突堤部の最外壁面よりも内側に形成される信号入出力の  
ための入出力用電極パッドを含む、請求項6または7に記載の半導体装置。

**【請求項9】**

前記突堤部は、前記構造体を囲むようにその周りに複数設けられていて、  
前記入出力用電極パッドは前記複数の突堤部の最外壁を通る仮想外延よりも内側に設け  
られている、請求項8に記載の半導体装置。

**【請求項10】**

前記構造体は、前記固定部上に形成される導電層を含み、  
前記突堤部は、絶縁層と、その上に形成される導電層とを含み、  
前記構造体の固定部と前記突堤部の絶縁層とは、同一プロセスで形成され、  
前記構造体の導電層と前記突堤部の導電層とは、同一プロセスで形成される、請求項6  
から9のいずれかに記載の半導体装置。

**【請求項11】**

前記入出力用電極パッドは前記構造体の導電層上に形成され、  
さらに、前記突堤部の導電層上に形成され、前記入出力用電極パッドに電気的に接続さ  
れて前記突堤部の導電層と前記構造体の導電層との電位差をゼロに近付ける突堤部用電極

パッドを含む、請求項10に記載の半導体装置。

【請求項12】

さらに、前記突堤部の導電層と前記構造体の導電層との電位差をゼロに近づける同電位手段を含む、請求項10または11に記載の半導体装置。

【請求項13】

さらに、前記入出力用電極パッドに接続され、前記構造体と前記基板との間のインピーダンスの変化を検出するインピーダンス検出手段を含む、請求項11または12に記載の半導体装置。

【請求項14】

前記突堤部よりも内側の領域の上部は開口されている、請求項1から13のいずれかに記載の半導体装置。

**【書類名】**明細書

**【発明の名称】**半導体装置

**【技術分野】**

**【0001】**

この発明は半導体装置に関し、特に、ダイシングによって個々のチップに分割される半導体装置に関する。

**【背景技術】**

**【0002】**

図13はアクチュエータ素子を示す図であり、(a)は平面図を示し、(b)は(a)の線B-Bに沿う断面図である。

**【0003】**

図13において、アクチュエータ素子50は、基板51と、固定部52と、導電層53と、電極パッド54, 55と含む積層構造である。導電層53は、円板状に形成されており、固定部52によって基板51との間に隙間領域57を形成するように片持ち梁の支持形態によって支持されている。導電層53は入力される電極パッドに与えられる電気信号に応じて固定部52を支点として上側あるいは下側に変位する。

**【0004】**

図13に示したアクチュエータ素子50は、図14に示すように基板51であるシリコンウエハ103上に複数形成された後、各素子をダイシング技術により半導体チップに切断して分割し、その半導体チップにリードフレームを接続してパッケージ化される。ダイヤモンド粉シングル技術は、図14に示す斜視図および図15に示す断面図のように、ダイヤモンド粉末をまぶしたブレード101を高速回転させて洗浄水102を散布しながらシリコンウエハ103を切断することにより行われる。ところが、シリコンウエハ103を切断したときに切りくずなどの異物104が飛び散る。

**【0005】**

アクチュエータ素子50をチップ化するときに、上記異物104が導電層53に付着すると素子の動作を阻害する問題があるため、異物104が導電層53に付着するのを防止する必要がある。このために、ダイシング時の洗浄水102の水量を増加させることがあるが、洗浄水量を増加させると洗浄水102が導電層53に物理的外力を与えることによる導電層53の破損を引き起こすおそれがある。

**【0006】**

そこで、図16に示すように、各アクチュエータ素子50の導電層53上に表面保護のための保護テープ9を貼付け、保護テープ9によりアクチュエータ素子50の表面を保護した上で、ダイシングが行われる。

**【0007】**

しかし、導電層53の形状により、隣接する素子間では上から見て間隔の狭い部分と広い部分とがあるため、保護テープ9の密着性のよい部分と悪い部分が生じる。また、間隔の広い部分と狭い部分とでは、ブレード101でダイシングしたときの保護テープ9への力の作用の仕方が異なる。このため、ダイシング時に保護テープ9の浮きや剥がれが生じる。その結果、保護テープ9の浮きや剥がれた部分から異物104を含んだ洗浄水102がアクチュエータ素子50の内部に入り込んで、異物104が導電層53に付着してしまったり、アクチュエータ素子50の構造体破損が引き起こされてしまう。

**【0008】**

特開平06-347475号公報（特許文献1）には、加速度センサにおいて基板上に形成された固定部と可動部とをカバーで覆うことにより、基板のダイシング時に固定部および可動部内に塵、切りくず、水分などが混入、侵入するのを防止する方法について記載されている。

【特許文献1】特開平06-347475号公報（段落番号0065、図7）

**【発明の開示】**

**【発明が解決しようとする課題】**

**【0009】**

特許文献1に記載された加速度センサにおいて、固定電極はカバーで覆われているので、固定電極にワイヤボンディングすることができないため、信号入出力のための電極パッドはカバーより外側に設けられており、固定電極と電極パッドとは引出し電極によって接続されている。このため、カバーを設けることで固定電極や可動電極を保護することができますが、それでも電極パッドは露出しているため、基板切断時に電極パッドに切り傷を与えて断線してしまうおそれがある。

**【0010】**

また、電極パッドに塵、切りくずが付着すると抵抗値が高くなってしまいボンディングの障害になったり、信頼性が低下するおそれがある。さらに、電極パッドに水分が当たると金属が変質してボンディングの密着力が低下するなどの問題を生じことがある。

**【0011】**

そこで、この発明の目的は、ダイシング時に保護テープが浮いたり剥がれることなく、安定してチップを切断できる半導体装置を提供することである。

**【0012】**

また、この発明の他の目的は、切りくずなどの異物が入り込むことなく、構造体の破損を引き起こすことがない半導体装置を提供することである。

**【課題を解決するための手段】****【0013】**

この発明は、ダイシングによって個々のチップに分割された半導体装置であって、ダイシングラインに沿う辺を有する基板と、基板上に形成された半導体素子と、半導体素子と最辺との間に位置する基板上に形成された突堤部と、半導体素子上に形成されて突堤部の最外壁面よりも内側に形成される信号入出力のための入出力用電極パッドとを備える。

**【0014】**

したがって、隣接する突堤部によって保護膜は安定に支持され、ダイシングを行つてその部分を切断するときに、保護膜が剥がれたり浮き上がるがなく安定してチップを切断することができる。また、入出力用電極パッドが突堤部の最外壁面よりも内側に形成されているので、基板切断時に電極パッドに切り傷を与えて断線してしまうおそれがない。入出力用電極パッドに塵、切りくずが付着するおそれも解消でき、入出力用電極パッドに水分が当たることによる金属の変質でボンディングの密着力が低下するのを防止できる。

**【0015】**

好ましくは、突堤部は辺に対して平行に連続的に延びている。これにより、突堤部に沿って安定してダイシングを行うことができる。

**【0016】**

好ましくは、突堤部は半導体素子の全周囲を取り囲むように形成されている。このような突堤部を設けることにより、ダイシングにより生じた異物が保護膜の下に入り込んでも、その異物が突堤部により阻止されるので、半導体素子内に侵入するのを防止できる。

**【0017】**

好ましくは、半導体素子は絶縁層と、その上に形成される導電層とを含み、突堤部は絶縁層と、その上に形成される導電層とを含み、半導体素子の絶縁層と突堤部の絶縁層とは、同一プロセスで形成され、半導体素子の導電層と突堤部の導電層とは、同一プロセスで形成される。このように同一プロセスで形成できるので、新たなプロセスを必要とせず、突堤部を設けたことによるコストの上昇を抑えることができる。

**【0018】**

好ましくは、入出力用電極パッドは半導体素子の導電層上に形成され、さらに突堤部の導電層上であってその最外壁面よりも内側に形成され、入出力用電極パッドに電気的に接続されて突堤部の導電層と半導体素子の導電層との電位差をゼロに近付ける突堤部用電極パッドを含む。

**【0019】**

突堤部の導電層と半導体素子の導電層との電位差をゼロに近付けることで、両導電層間に生じる寄生容量による悪影響を防止できる。また、静電引力による影響を除くことが可能になる。

#### 【0020】

この発明の他の局面は、基板と、基板との間に隙間を形成するように固定部によって支持された構造体と、固定部によって支持されていない構造体の部分と、基板の外縁との間に位置する基板上に形成された突堤部とを備える。

#### 【0021】

異物の侵入通路となる基板と構造体との間の隙間部分に突堤部を設けることで、異物が侵入するのを抑制できる。

#### 【0022】

好ましくは、突堤部は構造体の全周囲を取り囲むように複数形成されている。これにより、異物がいずれの方向からも半導体素子内に侵入することができない。

#### 【0023】

好ましくは、構造体上に形成され、突堤部の最外壁面よりも内側に形成される信号出入力のための入出力用電極パッドを含む。入出力用電極パッドを突堤部の最外壁面よりも内側に設けることで、基板をダイシングする際に入出力用電極パッドが損傷するのを避けることができる。

#### 【0024】

好ましくは、突堤部は構造体を囲むようにその周りに複数設けられていて、入出力用電極パッドは複数の突堤部の最外壁を通る仮想外延よりも内側に設けられている。これにより、基板のダイシング時に突堤部の入出力電極用電極パッドの損傷を避けることができる。

#### 【0025】

好ましくは、構造体は固定部上に形成される導電層を含み、突堤部は絶縁層と、その上に形成される導電層とを含み、構造体の固定部と突堤部の絶縁層とは、同一プロセスで形成され、構造体の導電層と突堤部の導電層とは、同一プロセスで形成される。このように同一プロセスで形成できるので、新たなプロセスを必要とせず、突堤部を設けたことによるコストの上昇を抑えることができる。

#### 【0026】

入出力用電極パッドは構造体の導電層上に形成され、さらに突堤部の導電層上に形成され、入出力用電極パッドに電気的に接続されて突堤部の導電層と構造体の導電層との電位差をゼロに近付ける突堤部用電極パッドを含む。

#### 【0027】

突堤部の導電層と構造体の導電層との電位差をゼロに近付けることで、両導電層間に生じる寄生容量による悪影響を防止できる。

#### 【0028】

好ましくは、突堤部の導電層と構造体の導電層との電位差をゼロに近づける同電位手段を含む。両導電層間の電位差をゼロに近付けることで、両導電層間に生じる寄生容量はコンデンサとして機能しないので、寄生容量による悪影響を防止できる。

#### 【0029】

好ましくは、入出力用電極パッドと突堤部用電極パッドとの間に接続され、構造体と基板との間のインピーダンス変化を検出する容量型センサ検出手段を含む。構造体と基板との間のインピーダンス変化を検出することで半導体装置を容量検出型センサとして用いることができる。

#### 【0030】

好ましくは、突堤部よりも内側の領域上部は、開口されている。突堤部が設けられても内側の領域上部が開口されているので、各電極パッドへのワイヤボンディングが可能になる。

#### 【発明を実施するための最良の形態】

**【0031】**

図1はこの発明の第1の実施形態における半導体装置を示す平面図であり、図2は図1の線A-Aに沿う断面図である。

**【0032】**

図1において、半導体装置を構成するアクチュエータ素子50は、基板51と、固定部52と、構造体としての導電層53と、信号入出力用の電極パッド54, 55と、突堤部56とを含む積層構造である。導電層53は、円板状に形成されており、固定部52によ56とを含む積層構造である。導電層53は電極パッド54, 55に与えられる電気信号に応じて固定部52によって基板51との間に隙間領域57を形成するように片持ち梁の支持形態によって支持されている。導電層53は電極パッド54, 55に与えられる電気信号に応じて固定部52を支点として上側あるいは下側に変位する。なお、導電層53に代えて、構造体としての絶縁層または半導体層を用いてもよい。

**【0033】**

基板51はダイシングラインに沿う4つの辺を有する矩形状に形成されており、アクチュエータ素子50の周囲を囲むように突堤部56が、アクチュエータ素子50と基板51との各辺との間に位置するように形成されている。突堤部56は4つの辺を有する矩形状であり、それぞれの辺が基板51の各辺に対して平行に連続的に延びている。また、突堤部56の高さは、導電層53の上面より高くなるように形成されている。導電層53上には電極パッド54が形成されており、基板51上には電極パッド55が形成されている。より好ましくは、突堤部56はアクチュエータ素子50の全周囲を囲むのが好ましい。

**【0034】**

このため、電極パッド54, 55はいずれも突堤部56内に形成されている。ダイシング後に電極パッド54, 55にはワイヤボンディングがされるが、このために突堤部56には蓋が設けられておらず、開口されている。

**【0035】**

なお、突堤部56は固定部52を製造するときに同一材料および同一プロセスで形成することができる。

**【0036】**

図3は図1に示したアクチュエータ素子50が複数形成されたシリコンウエハ60をダイシングする状態を模式的に示す断面図である。シリコンウエハ60上には、図1で説明した積層構造を有する複数のアクチュエータ素子50が形成されており、突堤部56上に保護テープ9が密着して貼り付けられている。そして、隣接するアクチュエータ素子50の突堤部56, 56間でガイドされるごとくブレード101により基板51の辺に沿つてシリコンウエハ60がダイシングされて、半導体チップごとに切断される。

**【0037】**

各アクチュエータ素子50間における突堤部56, 56の間隔を等しくでき段差部がなくなるので、ダイシングラインに沿ってブレード101でダイシングを行ったときに保護テープ9に作用する力を均一にできる。これにより、保護テープ9の浮きや剥がれが生じることがない。しかも、保護テープ9の切断部分から異物104を含んだ洗浄水が下部に漏れても隣接する突堤部56, 56の間に留まるので、アクチュエータ素子50の内部に異物104が入り込むことがなく、アクチュエータ素子50の構造体破損が引き起こされてしまうのを防止できる。

**【0038】**

さらに、全ての電極パッド54, 55は突堤部56の最外壁面より内側に位置しているため、ダイシング時にブレード101によって傷つけられて破損するおそれがなくなる。また、突堤部56上に保護テープ9が張られるので、突堤部56内の電極パッド54, 55に塵、切りくずが付着して抵抗値が高くなってしまってボンディングの障害になったり、信頼性が低下するおそれがなく、電極パッド54, 55に水分が当たって金属が変質してボンディングの密着力が低下するなどの問題を生じることがない。

**【0039】**

また、最終的に保護テープを除去するため、突堤部56よりも内側の領域はその上部に蓋が設けられておらず、開口されているのでダイシング後に、電極パッド54, 55にワイヤボンディングするのに障害になることはない。

#### 【0040】

なお、図1に示した実施形態では、アクチュエータ素子50の周囲を囲むように矩形の突堤部56を形成したが、これに限ることなく、導電層53の固定部52によって支持されていない部分と基板51の外縁との間に位置する基板上に突堤部56を形成してもよい。すなわち、固定部52自体は異物104の侵入を阻止できるので、固定部52によって支持されていない、それ以外の部分から異物104が侵入しないように突堤部56を形成してもよい。

#### 【0041】

図4はこの発明の第2の実施形態における半導体装置の平面図である。図4に示した実施形態では、アクチュエータ素子50の全ての周囲を囲むことなく、基板1の4つの辺に平行であり、かつ独立した4つの突堤部121をアクチュエータ素子50と各辺との間に形成したものである。

#### 【0042】

このように、アクチュエータ素子50の全ての周囲を囲むことなく、突堤部121を基板1の各辺に平行に形成に形成するだけでも、突堤部121により図3に示した保護テープ9の密着性を向上でき、ブレード101でシリコンウエハをダイシングする際に保護テープ9に作用する力を均一にできる。さらに、保護テープを貼る際にアクチュエータ素子50にかかる負担を軽減できる。

#### 【0043】

また、この実施形態においても電極パッド54, 55は、突堤部121よりも内側に設けられているので、ダイシング時にブレード101によって電極パッド54, 55が傷つけられて破損するおそれがなく、異物104が付着することもない。

#### 【0044】

図5はこの発明の第3の実施形態における半導体装置の平面図である。この図5に示した第3の実施形態では、突堤部122を円筒状に形成してアクチュエータ素子50の全周囲及び電極パッド54, 55を囲むようにしたのである。これにより、図3に示した保護テープ9の切断部が下に垂れ下がって、保護テープ9の切断部分から異物104を含んだ洗浄水が下部に漏れても隣接する突堤部122, 122の間に留まるので、アクチュエータ素子50の内部に異物104が入り込むことがない。

#### 【0045】

したがって、保護能力の低下によるアクチュエータ素子50の構造体破損が引き起こされてしまうのを防止できる。また、電極パッド54, 55を損傷したり異物104が付着することもない。

#### 【0046】

なお、図1に示した四角形状の突堤部56や図5に示した円筒状の突堤部122に限らず、これらの形状を変形させてもよい。要するに、アクチュエータ素子50の周囲を囲む形状であればどのような形状でもよい。

#### 【0047】

図6はこの発明の第4の実施形態における半導体装置の平面図である。図5に示した実施形態では、アクチュエータ素子50及び電極パッド54, 55の周囲を囲むように突堤部122を形成したのに対して、図6に示した実施形態では、基板51上の2箇所に固定部52を設け、これらの固定部52により導電層57を支持するものである。固定部52のそれぞれの間に設けられている隙間部分から異物が入らないように、その隙間部分, 52の狭い側の幅d1よりも長いd2の長さを有する突堤部123をアクチュエータ素子50の外縁との間に設ける。突堤部124は幅d1の隙間部分を除く広い隙間部分を囲むようにコ字状に形成される。

#### 【0048】

このように固定部52間に形成される隙間部分に対向して突堤部123、124を設けることで、アクチュエータ素子50aの基板51と導電層57との間の隙間領域に異物104が入り込むのを阻止することができる。

#### 【0049】

図7はこの発明の第5の実施形態における半導体装置の平面図である。この実施形態は、図6に示した突堤部123に代えて短い円弧状に形成された突堤部125と、長い円弧状に形成された突堤部126を固定部52間に形成される隙間部分に対向して配置したものである。このような突堤部125、126を設けることによっても、アクチュエータ素子50aの隙間領域に異物104が入り込むのを阻止することができる。

#### 【0050】

図8はこの発明の第6の実施形態における半導体装置の平面図である。この実施形態では、固定部52、52間に形成される隙間部分に対向して、隙間部分の幅d1よりもその長さが短く形成された突堤部127を各隙間部分に対向して近接して複数部配置したものである。突堤部127の長さが隙間部分の長さd1よりも短いが、隙間部分に近接して配置されているので、異物104がアクチュエータ素子50の隙間領域に入り込むのを阻止することができる。

#### 【0051】

なお、図8において、導電層57上に形成されている電極パッド54と基板51上に形成されている電極パッド55は、いずれも突堤部127の最外壁面を通る仮想外延PLよりも内側に設けられている。このように、電極パッド54、55は突堤部56の外壁面よりも内側に位置しているため、ダイシング時にブレード101によって傷つけられて破損するおそれがなくなる。

#### 【0052】

図9はこの発明の第7の実施形態における半導体装置の断面図である。

#### 【0053】

前述の図1に示した半導体装置において、突堤部56を形成したことにより、突堤部56と、これに対向する構造体である導電層53の側面との間で寄生容量Ciが発生し、アクチュエータ素子として動作させたとき寄生容量Ciにより動作が遅延してしまうおそれがある。

#### 【0054】

そこで、図9に示した実施形態では、半導体装置をアクチュエータとして使用する際の寄生容量Ciによる動作の遅延を防止する。この例においては突堤部70として、絶縁層71と導電層72との積層構造で形成するとともに、導電層72上であって突堤部70の最外壁面より内側に突堤部用の電極パッド73を形成し、構造体である導電層53上に形成されている電極パッド54と突堤部70の電極パッド73とを同電位手段としての導線74で接続して、導電層53と72とを同電位にして両者の電位差をゼロに近付けるものである。

#### 【0055】

このように導電層53と72とを同電位にすることで、突堤部70の導電層72と、これに対向する導電層53の側面との間で生じる寄生容量Ciはコンデンサとして機能しないので、動作遅延などの悪影響を排除できる。

#### 【0056】

また、突堤部70上に形成された電極パッド73は、突堤部70の外壁面よりも内側に設けられており、基板51にはその上に図3に示した保護テープ9が密着して貼り付けられるので、基板51のダイシング時に電極パッド73が損傷するおそれを解消できる。

#### 【0057】

図10はこの発明の第8の実施形態における半導体装置の断面図である。

#### 【0058】

図1に示した半導体装置を容量検出型センサとして用いる場合は、突堤部56と、これに対向する導電層53の側面との間で生じる寄生容量Ciと、導電層53と基板51との

間に生じる容量C<sub>i</sub>および容量変化△C<sub>i</sub>との和が並列に接続されたものとなる。寄生容量C<sub>i</sub>はコンデンサとして作用し、この寄生容量C<sub>i</sub>により感度を低下させるとともに入力換算ノイズレベルを悪化させる要因になる。

#### 【0059】

そこで、この実施形態は、容量型検出センサとして用いる場合に寄生容量C<sub>i</sub>による悪影響を除外する。図9と同様にして、突堤部70として、絶縁層71と導電層72との積層構造で形成するとともに、導電層72上であって突堤部70の外壁面よりも内側に電極パッド73を形成し、導電層53上に形成されている電極パッド54と電極パッド73との間に容量型センサ検出回路75を接続する。容量型センサ検出回路75は、オペアンプの一方の入力端を導電層53の電極パッド54に接続し、オペアンプの他方の入力端を出力端に接続したボルテージフォロワ回路で構成したものである。ボルテージフォロワ回路の出力端は、突堤部70の電極パッド73に接続されるとともに出力端子76に接続される。基板51上の電極パッド55には図示しないがバイアス電圧が供給される。

#### 【0060】

ボルテージフォロワ回路は、ゲインが1であるため、導電層53と72とを等価的にほぼ同じ電位にして両者間の電位差をゼロに近付けることができる。その結果、寄生容量C<sub>i</sub>による検出容量への影響を見かけ上なくすことができるので、容量型センサ検出回路75は、導電層53と基板51との間に生じる容量C<sub>i</sub>および容量変化△C<sub>i</sub>の和のみを検出できるので、感度を向上できるとともに入力換算ノイズレベルを低減できる。

#### 【0061】

なお、容量型センサ回路75としてボルテージフォロワ回路に限ることなく、導電層53と72とがほぼ同電位になるように設定できる回路であれば、他の回路を用いてもよい。

#### 【0062】

なお、図9及び図10に示した実施形態は、図1に示した半導体装置のみならず、図4～図8に示した半導体装置に適用してもよい。

#### 【0063】

図11はこの発明の第9の実施形態における半導体装置の平面図である。この実施形態は、突堤部70の導電層72と、円板状の導電層53とを一体化して構成したものである。このように導電層53と72とを一体化することで図9に示した導線74を不要にできる。

#### 【0064】

図12は図9及び図10に示した半導体装置の製造プロセスを連続的に示す図である。まず、図12(a)に示す基板201が用意され、図12(b)に示すように基板201上に絶縁層202が形成され、図12(c)に示すように絶縁層202上に導電層203が形成される。この導電層203により図9及び図10に示した構造体である導電層53が形成される。この導電層203に対してフォトレジストを塗布し、フォトリソグラフィの技術によって不要な部分を除去してレジストパターンを形成し、レジストパターンをマスクとして、エッチングすることにより図12(d)に示すような導電層53と突堤部70の導電層72とが形成される。図12(e)に示すように絶縁層202に対して所望のエッチングを行うことにより、導電層53と基板201との間に間隙領域57が形成され、このエッチングの後に導電層53の一部の外周部に残留する絶縁層202によって固定部52と、導電層53を囲むように突堤部70の絶縁層71とが形成される。なお、基板201は図9及び図10に示した基板51となる。

#### 【0065】

上述のごとく、突堤部70の導電層72は導電層53と同じ材料及び同じプロセスで形成でき、突堤部70の絶縁層71も固定部52と同じ材料及び同じプロセスで形成できる。これにより、突堤部70を形成するために新たな材料を用いる必要がなく、プロセスも追加する必要がないので、積層構造の突堤部70を設けたことによってコストを上昇させることがない。

**【0066】**

以上、図面を参照してこの発明の実施形態を説明したが、この発明は、図示した実施形態のものに限定されない。図示された実施形態に対して、この発明と同一の範囲内において、あるいは均等の範囲内において、種々の修正や変形を加えることが可能である。

**【産業上の利用可能性】****【0067】**

この発明に係る半導体装置は、基板と導電層との間の間隙領域に異物が入り込むのを阻止しながらダイシングにより半導体チップを形成できるので、素子の構造体破損が引き起こされることがなく、アクチュエータ素子や容量検出型センサに有効に利用される。

**【図面の簡単な説明】****【0068】**

【図1】この発明の第1の実施形態における半導体装置を示す平面図である。

【図2】図1の線A-Aに沿う断面図である。

【図3】図1に示した半導体装置が複数形成されたシリコンウエハをダイシングする状態を示す断面図である。

【図4】この発明の第2の実施形態における半導体装置の平面図である。

【図5】この発明の第3の実施形態における半導体装置の平面図である。

【図6】この発明の第4の実施形態における半導体装置の平面図である。

【図7】この発明の第5の実施形態における半導体装置の平面図である。

【図8】この発明の第6の実施形態における半導体装置の平面図である。

【図9】この発明の第7の実施形態における半導体装置の断面図である。

【図10】この発明の第8の実施形態における半導体装置の断面図である。

【図11】この発明の第9の実施形態における半導体装置の平面図である。

【図12】図9及び図10に示した半導体装置の製造プロセスを連続的に示す図である。

【図13】従来のアクチュエータ素子を示す図である。

【図14】従来のダイシング工程を示す図である。

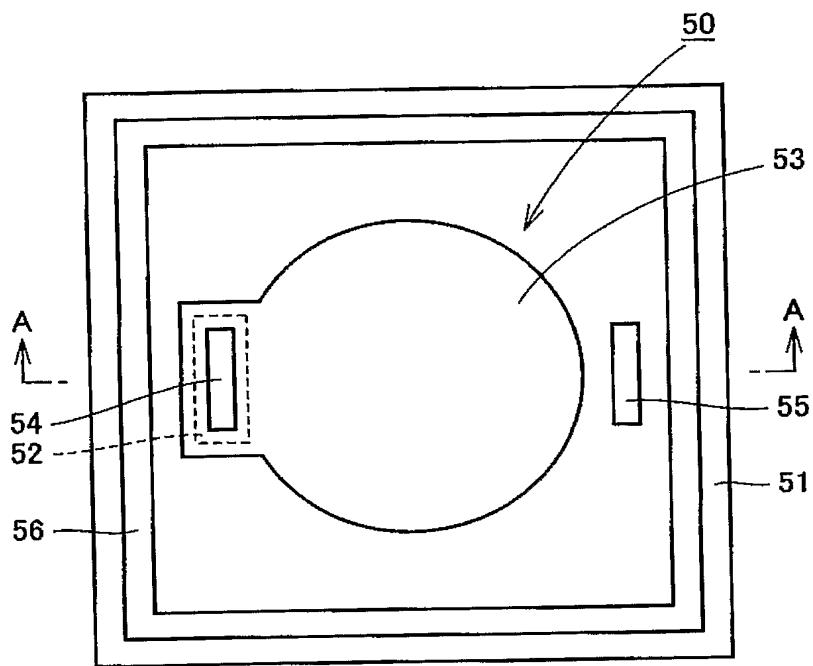
【図15】従来のダイシング工程でシリコンウエハをダイシングする工程を示す断面図である。

【図16】保護テープで素子表面を覆った状態でダイシングする工程を示す断面図である。

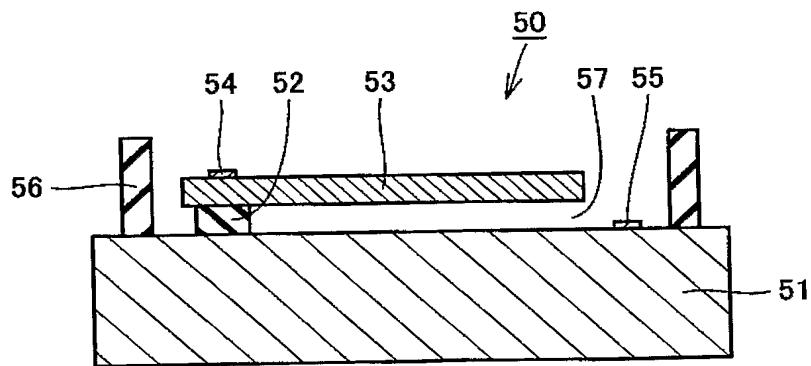
**【符号の説明】****【0069】**

50, 50a アクチュエータ素子、51, 201 基板、52 固定部、53, 72, 203 導電層、54, 55, 73 電極パッド、57 間隙領域、9 保護テープ、56, 70, 121～127 突堤部、60 シリコンウエハ、71, 202 絶縁層、74 導線、75 容量型センサ検出回路、76 出力端子、101 ブレード、104 異物。

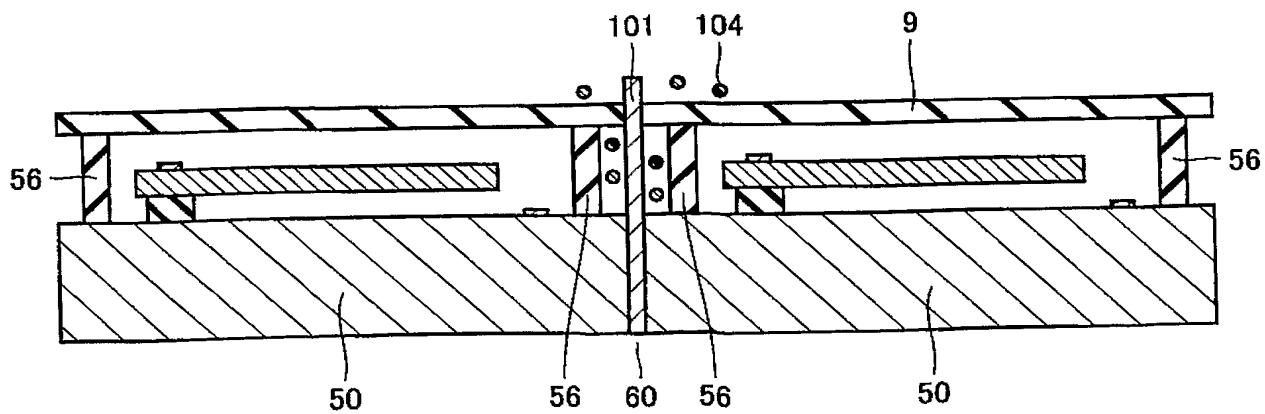
【書類名】 図面  
【図 1】



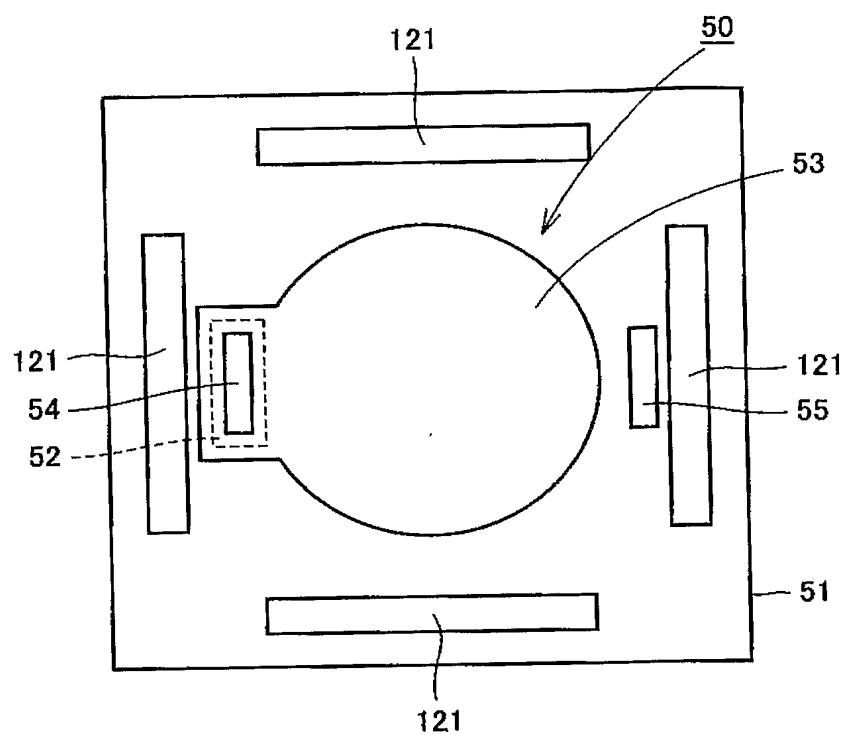
【図 2】



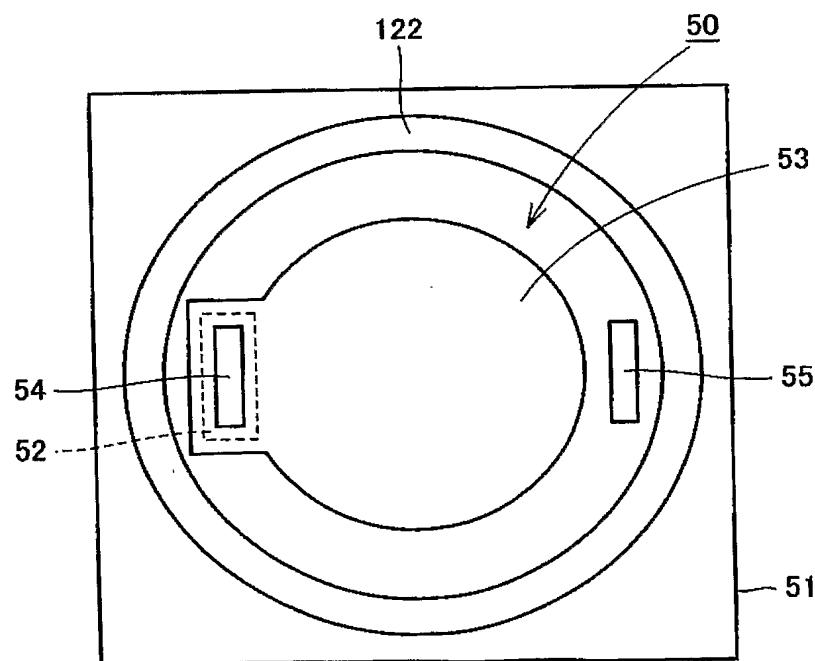
【図 3】



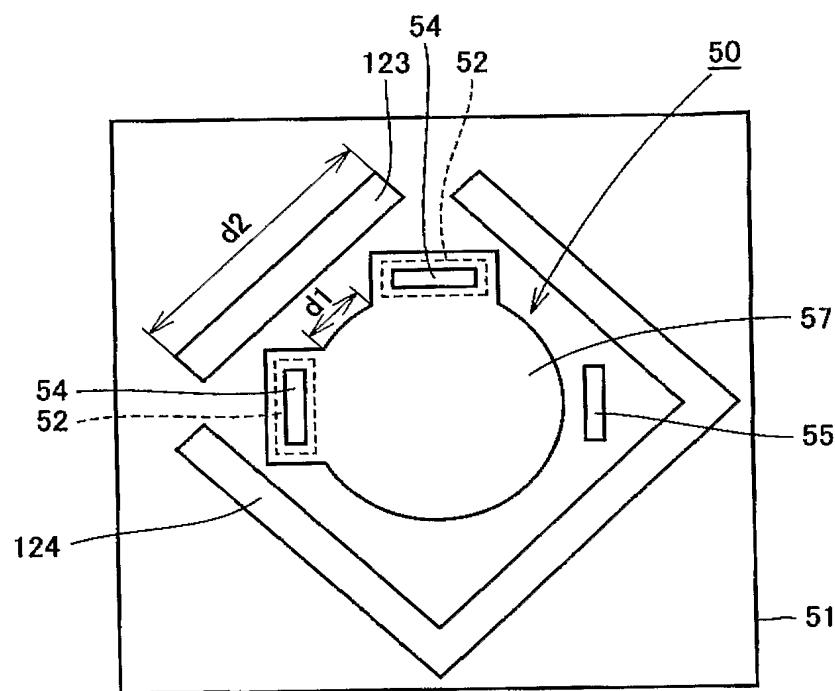
【図4】



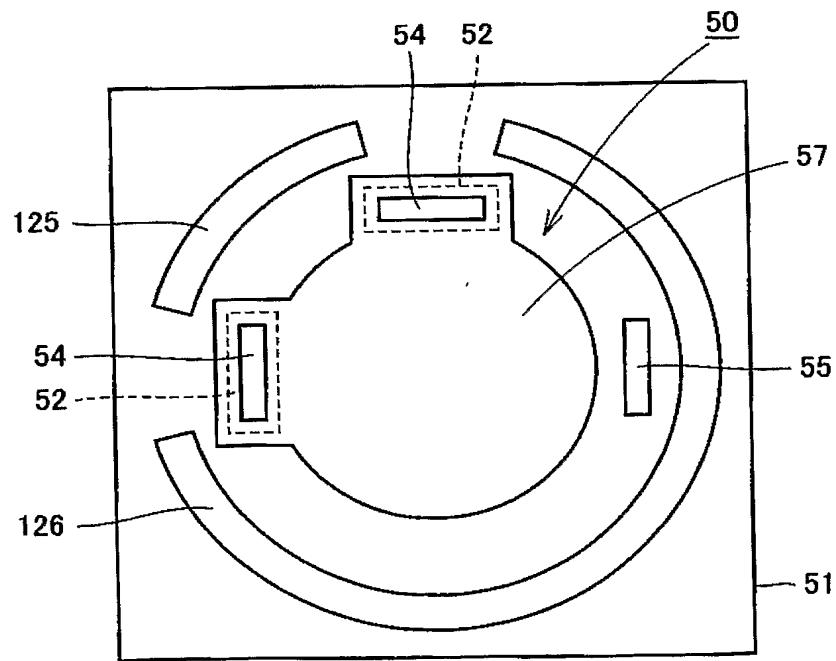
【図5】



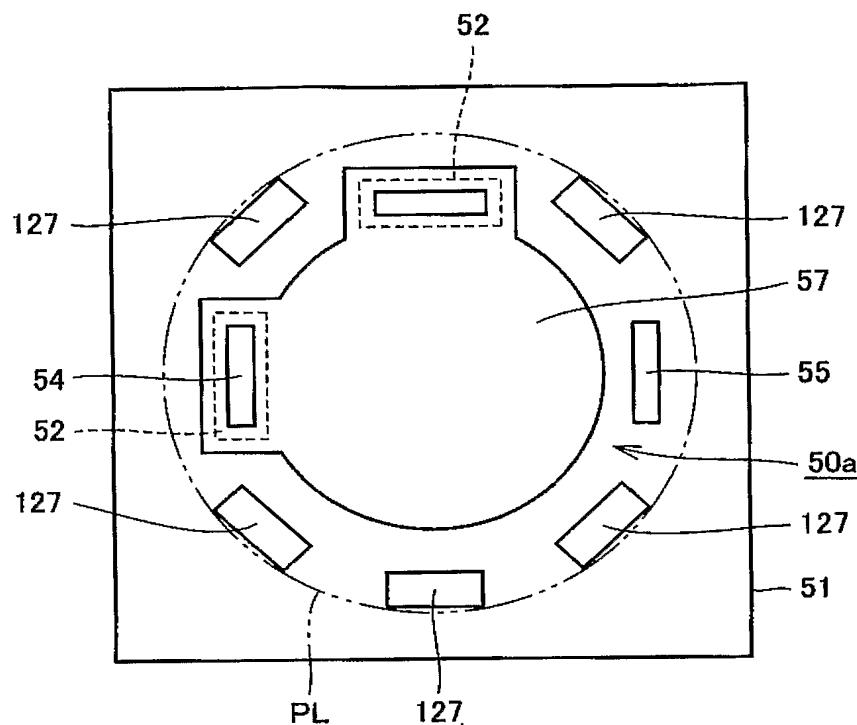
【図6】



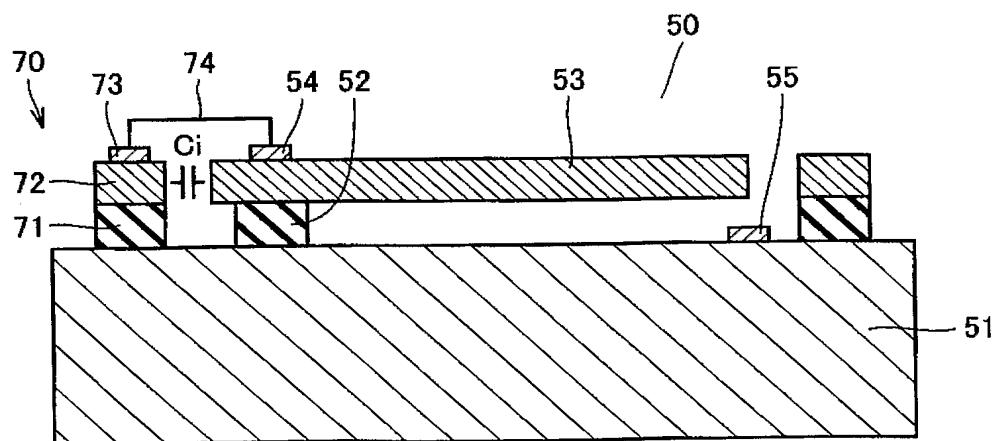
【図7】



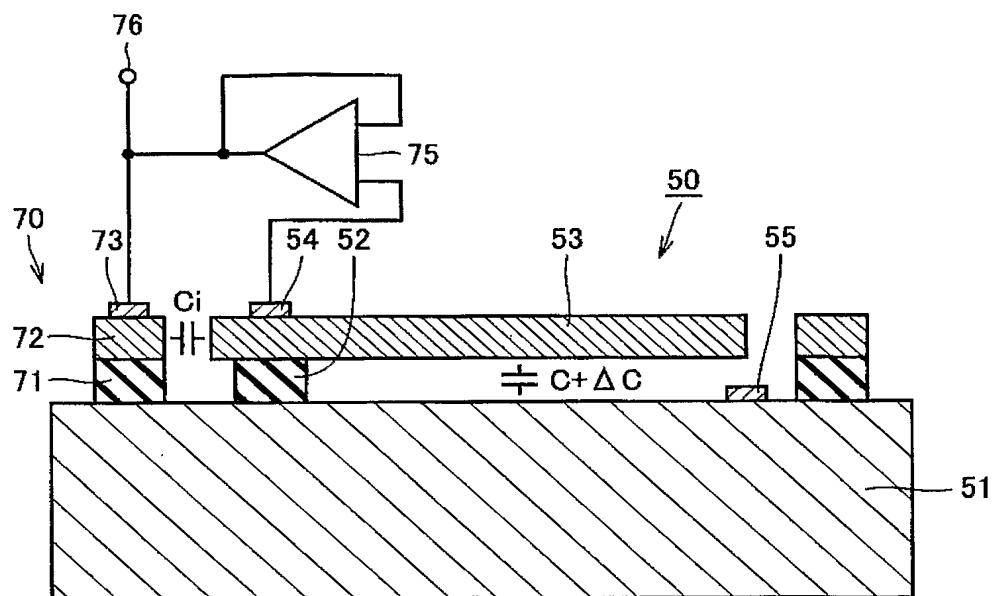
【図 8】



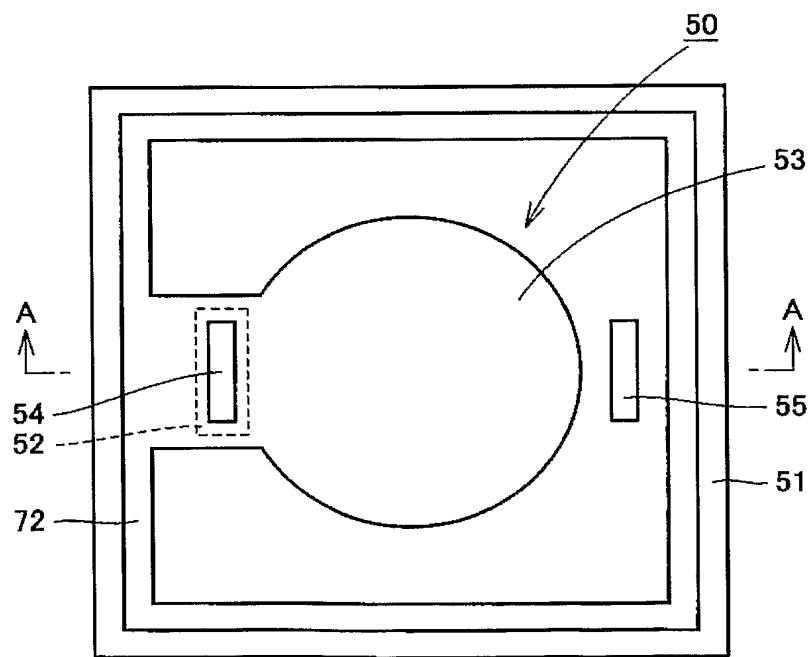
【図 9】



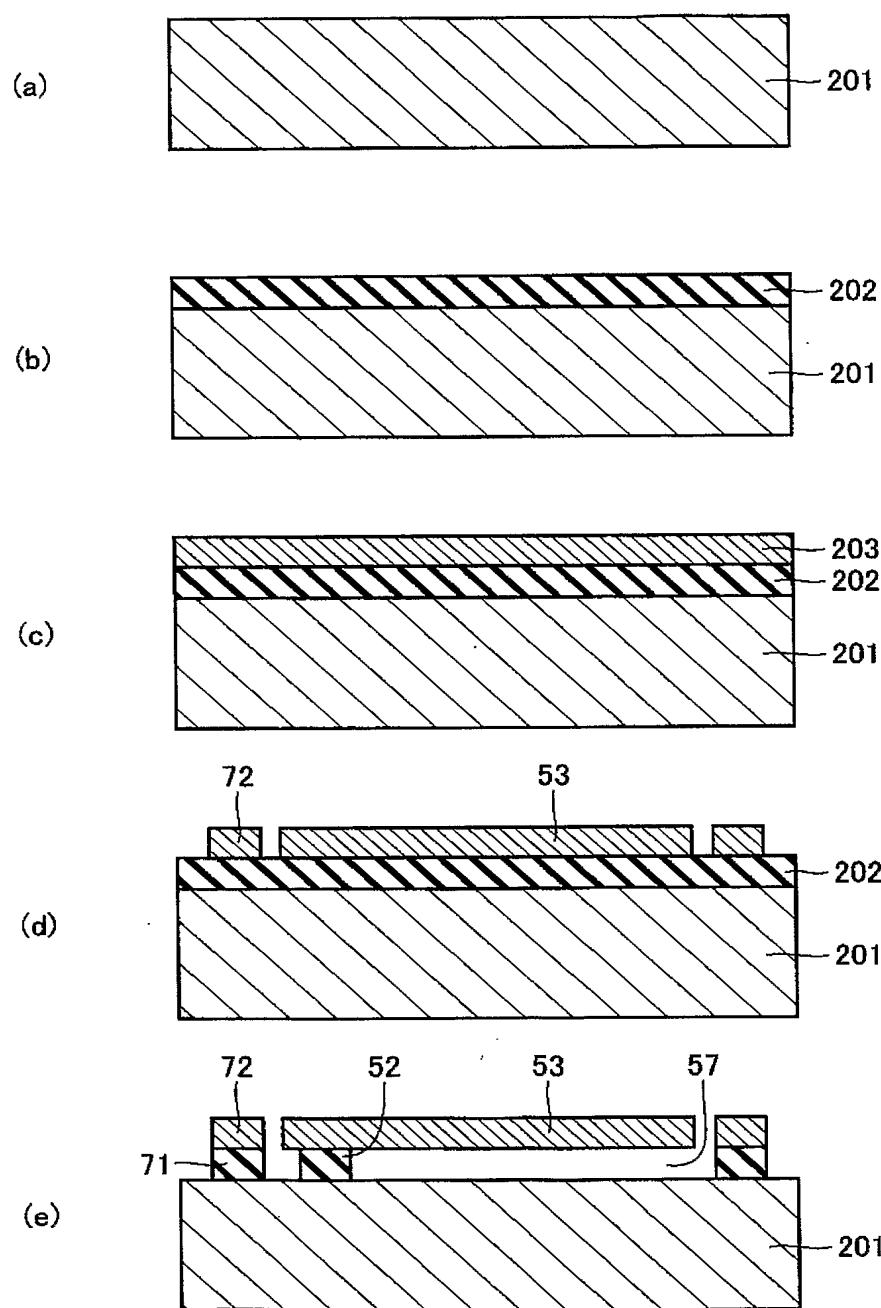
【図10】



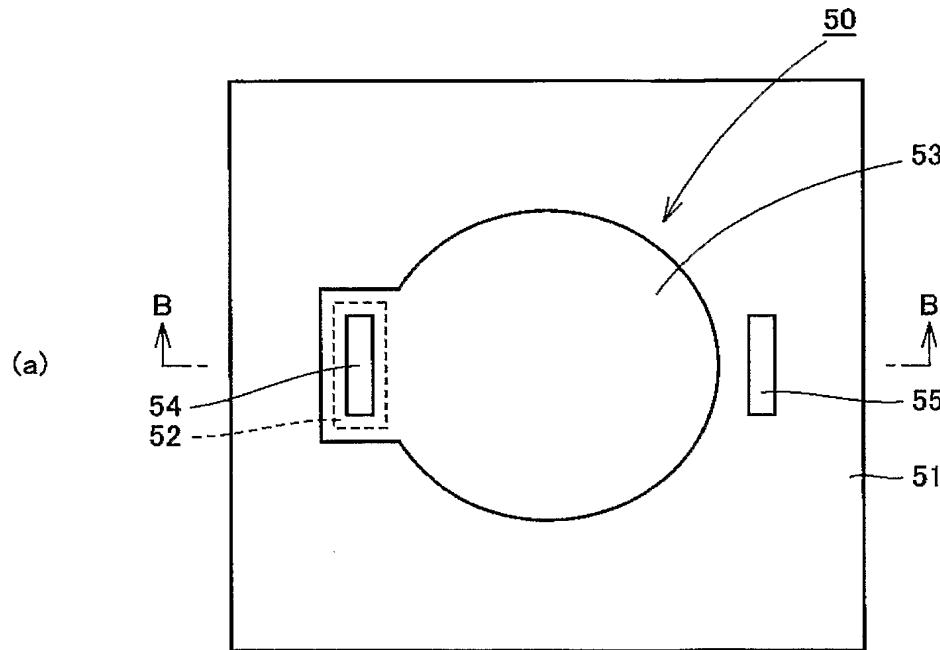
【図11】



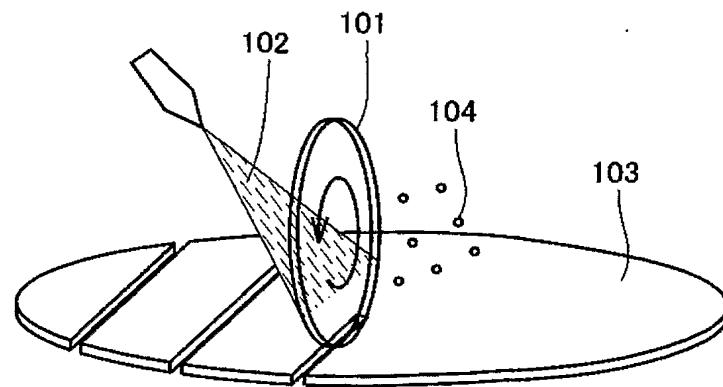
【図12】



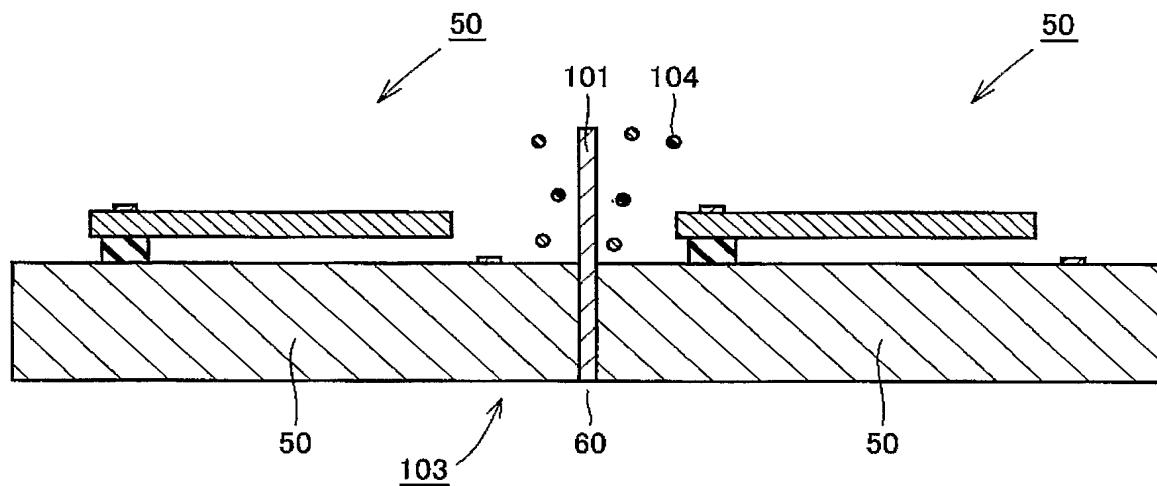
【図13】



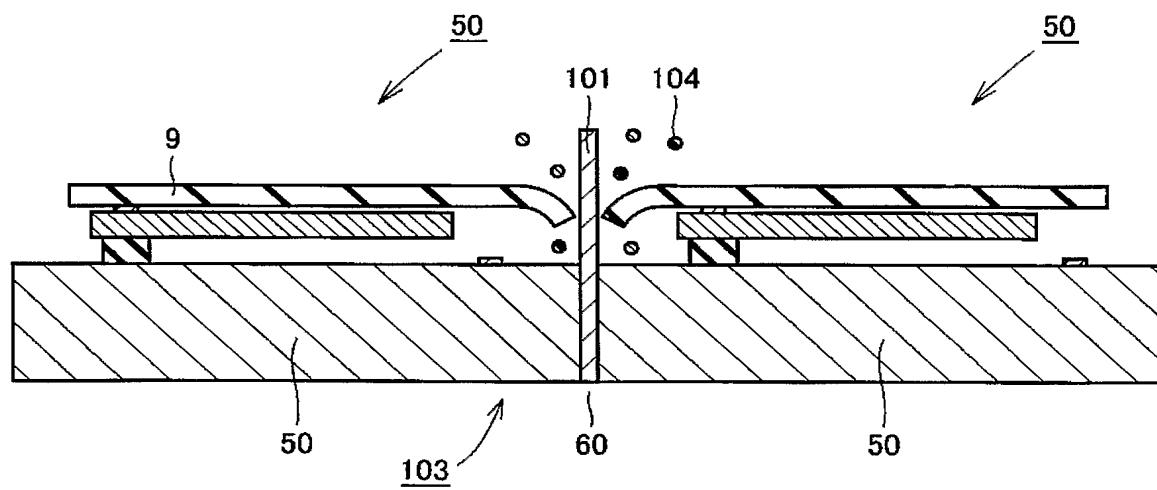
【図14】



【図15】



【図16】



【書類名】要約書

【要約】

【課題】 切りくずなどの異物が入り込むことなく、各半導体素子をダイシングできる半導体装置を提供する。

【解決手段】 基板51はダイシングラインに沿う4つの辺を有する矩形状に形成されており、アクチュエータ素子50と入出力用の電極パッド54, 55の全周囲を囲むように突堤部56が形成されている。突堤部56は4つの辺を有する矩形状であり、それぞれの辺が基板51の各辺に対して平行に連続的に延びている。突堤部56により、保護テープ9の密着性を向上できるので、ダイシング時に生じる異物104がアクチュエータ素子50や電極パッド54, 55に付着するのを阻止できる。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願 2004-160631
受付番号	50400905765
書類名	特許願
担当官	第一担当上席 0090
作成日	平成 16 年 6 月 3 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000219967
【住所又は居所】	東京都港区赤坂五丁目 3 番 6 号
【氏名又は名称】	東京エレクトロン株式会社

## 【代理人】

【識別番号】	100091409
【住所又は居所】	大阪府大阪市中央区島之内 1 丁目 21 番 19 号 協和島之内ビル アイミー国際特許事務所
【氏名又は名称】	伊藤 英彦

## 【選任した代理人】

【識別番号】	100096792
【住所又は居所】	大阪府大阪市中央区島之内 1 丁目 21 番 19 号 協和島之内ビル アイミー国際特許事務所
【氏名又は名称】	森下 八郎

## 【選任した代理人】

【識別番号】	100091395
【住所又は居所】	大阪府大阪市中央区島之内 1 丁目 21 番 19 号 協和島之内ビル アイミー国際特許事務所
【氏名又は名称】	吉田 博由

特願 2004-160631

出願人履歴情報

識別番号 [000219967]

1. 変更年月日 2003年 4月 2日

[変更理由] 住所変更

住所 東京都港区赤坂五丁目3番6号  
氏名 東京エレクトロン株式会社